

## 問010031問題

半加算器と全加算器に関する次の記述を読んで、設問1～3に答えよ。

(1) 1ビット同士を加算する半加算器の真理値表を、表1に示す。

$$\begin{array}{r} X \\ + Y \\ \hline C \quad Z \end{array} \quad C: \text{けた上がり}$$

表1 半加算器の真理値表

X	Y	C	Z
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

(2) 下位からのけた上がり  $C_{in}$  を考慮して1ビット同士を加算する全加算器の真理値表を、表2に示す。

$$\begin{array}{r} X \\ + Y \\ + C_{in} \\ \hline C \quad Z \end{array} \quad \begin{array}{l} C_{in}: \text{下位からのけた上がり} \\ C: \text{けた上がり} \end{array}$$

表2 全加算器の真理値表

$C_{in}$	X	Y	C	Z
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

**設問 1** 半加算器を実現する論理回路を、図 1 に示す。図 1 中の  に入れる正しい答えを、解答群の中から選べ。ただし、AND は論理積、OR は論理和、XOR は排他的論理和、NAND は否定論理積、NOR は否定論理和を表す。

- ア AND
- イ NAND
- ウ NOR
- エ OR
- オ XOR

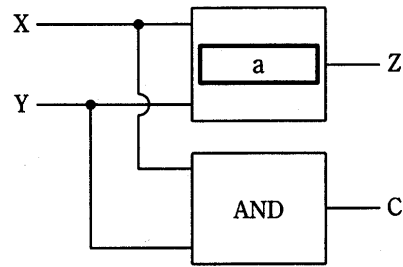


図 1 半加算器を実現する論理回路

**設問 2** 全加算器を実現する論理回路について、次の記述中の  に入れる正しい答えを、解答群の中から選べ。

全加算器は、図 2 に示すように半加算器を 2 段に接続して実現する。半加算器 1 は X と Y を加算し、半加算器 2 は半加算器 1 の結果と  $C_{in}$  を加算する。このとき、半加算器 1 のけた上がりを  $C_1$ 、半加算器 2 のけた上がりを  $C_2$  とする。X、Y、 $C_{in}$  と、 $C_1$ 、 $C_2$  との関係は表 3 のとおりになる。

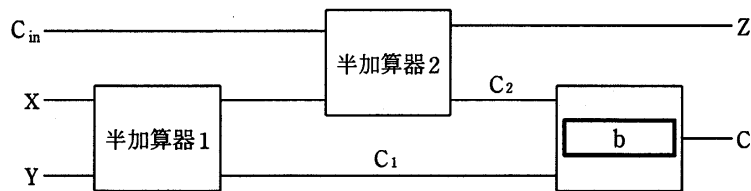


図 2 全加算器を実現する論理回路

表 3 X、Y、 $C_{in}$  と、 $C_1$ 、 $C_2$  との関係

$C_{in}$	X	Y	$C_1$	$C_2$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	1	0
1	0	0	0	0
1	0	1	0	1
1	1	0	0	1
1	1	1	<input type="text"/>	

bに関する解答群

ア AND

イ NAND

ウ NOR

エ OR

cに関する解答群

	C <sub>1</sub>	C <sub>2</sub>
ア	0	0
イ	0	1
ウ	1	0
エ	1	1

**設問3** A, B及びSを2の補数表現による4ビットの符号付2進整数とし, それぞれのビット表現をA<sub>4</sub>A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>, B<sub>4</sub>B<sub>3</sub>B<sub>2</sub>B<sub>1</sub>及びS<sub>4</sub>S<sub>3</sub>S<sub>2</sub>S<sub>1</sub>で表す(符号ビットはA<sub>4</sub>, B<sub>4</sub>及びS<sub>4</sub>)。

図3は, AとBの加算を行い, 結果をSに求める加算器であり, 半加算器と全加算器で実現されている。ここで, C<sub>1</sub>~C<sub>4</sub>は半加算器及び全加算器からのけた上がりを表す。

この加算器に, Aとして-1を, Bとして-2(いずれも10進表記)を与えたとき, 図3のC<sub>1</sub>~C<sub>4</sub>の値として正しい組合せを, 解答群の中から選べ。

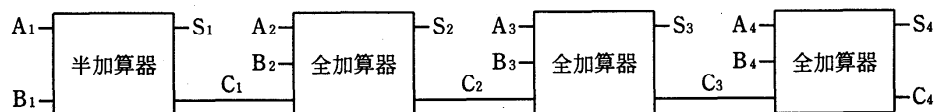


図3 AとBを加算してSを求める加算器

解答群

	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	C <sub>4</sub>
ア	0	1	0	0
イ	0	1	0	1
ウ	0	1	1	0
エ	0	1	1	1
オ	1	0	0	0
カ	1	0	0	1
キ	1	0	1	0
ク	1	0	1	1