gzn010105 「論理回路」解答解説

問１　エ

論理式に関する問題である。

２つのスイッチＡ、Ｂのどちらか一方を操作すると、状態が変化する論理である。

①　両者が１の状態で偽であった状態から、Ａを操作すると（Ａ０、Ｂ１）で真となり、再びＡを操作すると（Ａ１、Ｂ１）で偽となる。

②　両者が１の状態で偽であったものから、Ａを操作すると（Ａ０、Ｂ１）で真となり、次にＢを操作すると（Ａ０、Ｂ０）で偽となる。

③　両者の状態が同じならば真（または偽）で、両者の状態が異なれば偽（または真）となる論理を利用する。

アのＡＮＤは、両者が１の場合のみ１であるから実現できない。

イのＮＡＮＤは、両者が０の場合のみ１であるから実現できない。

ウのＮＯＲは、両者が０の場合のみ１となるから実現できない。

エのＸＯＲは、両者の条件が異なると１となり、両者の条件が一致すると０となるため実現可能である。求める答えはエである。

問２　エ

全加算器に関する問題である。

桁上げの数Ｔは、入力の１のビットが２個以上あると桁上げが生じて１となり、桁上げなしの和Ｒは１ビットが奇数個あると１となる論理回路である。

出力Ｒ、Ｔのビットパターンは、入力Ｄ、Ｅ、Ｆのビットパターンの次の条件で求めることができる。

①　ＤＥＦのビットパターンのうち、１のビットの個数が奇数ならばＲは１になる。偶数ならばＲは０になる。

②　ＤＥＦのビットパターン中に、１のビットの個数が２個以上あればＴは１になり、それ以外は０になる。

入力表のＤＥＦのパターンを利用して、ＲＴを求めると次のようになる。

Ｒ　０１１０１００１　　Ｔ　０００１０１１１

求める答えはエとなる。

問３　エ

半加算器に関する問題である。

真理値表のビットパターンを検討し、論理回路との特徴を明確にする。

桁内の演算結果の数が排他的論理和で求まり、桁上げ数が論理積の演算で求まるから、半加算器である。求める答えはエとなる。

問４　エ

半加算器、全加算器に関する問題である。

半加算器は、排他的論理和と論理積で構成される論理回路である。

半加算器は、２つのビットの和を計算し、その桁の値と上位の桁への繰り上げを出力する。半加算器のＳは１桁内の加算の結果で、排他的論理和の結果となる。

Ｃは桁上がりで、論理積の結果となる。

全加算器は、２つの半加算器とＯＲ回路を組み合わせる。

Ｓは１のビットが奇数個あれば１、０または奇数個ならば０となる。

Ｃは１のビットが２個以上あれば１、２個未満では０となる。

桁内の演算結果の出力１が排他的論理和で、桁上げ数の出力２が論理積の演算であるから、半加算器である。求める答えはエとなる。

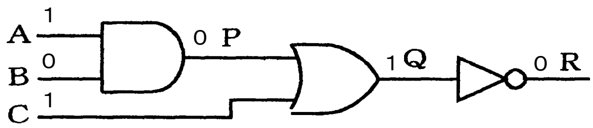
問５　ア

ＭＩＬ記号で示された論理回路に入力条件を適用して論理展開すればよい。

Ｐは A＝１、Ｂ＝０の論理積で、Ｐ＝０、ＱはＰ＝０とＣ＝１の論理和で、Ｑ＝１、ＲはＱの否定であるから、Ｒ＝０となる。

従って、Ｐ＝０、Ｑ＝１、Ｒ＝０となり、求める答えはアとなる。

ＭＩＬ記号を利用して演算結果を示すと次のようになる。



問６　イ

ＭＩＬ記号に関する問題である。

ＭＩＬ記号から論理式を導くことが可能である。

論理積の入力は一方が否定されているため、入力Ａ、Ｂが異なるビットの場合に論理積のどちらかの出力が１となり、二つの論理積の出力の論理和も１になる。入力Ａ、Ｂが同じビットの場合、論理積の出力は共に０となり、論理和の出力は０になる。与えられた論理回路は排他的論理和を示している。

論理回路から、Ａの否定とＢの論理積であるから$\overline{A}\cdot B$、もう一つの論理積は、$A\cdot\overline{B}$となり、この二つの論理積の論理和が求める答えになる。従って、$\overline{A}\cdot B+A\cdot\overline{B}$　となる。この論理式は排他的論理和を表している。

問７　エ

処理装置の論理回路に関係する用語に関する問題である。

アのＡＮＤゲートは、論理積演算を行う回路て、二つの条件がともに真の時だけ結果の出力が真となる。入力がすべて１のときのみ出力が１となり、入力のうち一つでも０があると、出力は０となる。

イの加算器は、半加算器と全加算器で構成された２進数データの和を求める回路である。半加算器は下位からのけた上がりを考慮しない回路で、最下位ビットの加算に使用され、全加算器は下位からのけた上がりを考慮した回路で、最下位ビット以外のビットの加算に使用される。

ウの乗算器は、乗算を実現する回路で構成される。左シフトと加算によって実現する。

エのフリップフロップは、１ビットの情報を記憶できる回路て、順序回路を構成する基本的な素子として用いられ、ＣＰＵ内のレジスタ、カウンタなどの構成要素となる。ＳＲＡＭの記憶セルに使用する。求める答えはエとなる。

問８　イ

論理回路に関する問題である。

ＡとＢの論理和とＣの否定の論理積がＤとなる。従って、次の論理式になる。

$$(A+B)\cdot\overline{C}=D$$

求める答えはイとなる。

問９　エ

ＭＩＬ記号に関する問題である。

１の数が偶数個、奇数個によって出力が１または０になる問題であるから、１の数が２つの偶数個について検討し、出力が１になる回路について１の個数が奇数の場合について出力が０になることを検討すればよい。

入力のビットパターンとしては、(１１００)、(１０１０)の２通りと、(１０００)について考える。

アの場合、(１１００)→(００)→０となり、１にはならない。

イの場合、(１１００)→(００)→０→１となり、１となる。

　　　　　(１０１０)→(１１)→１→０となり、１にはならない。

ウの場合、(１１００)→(１０)→１となり、１となる。

　　　　　(１０１０)→(１１)→０となり、１とならない。

エの場合、(１１００)→(００)→０→１となり、１となる。

　　　　　(１０１０)→(１１)→０→１となり、１となる。

　　　　　(００００)→(００)→０→１となり、１となる。

　　　　　(１１１１)→(００)→０→１となり、１となる。

　　　　　(１０００)→(１０)→１→０となり、０となる。

　　　　　(１１１０)→(０１)→１→０となり、０となる。

求める答えはエとなる。

問10　ウ

全加算器のビットパターンに関する問題である。

入	A	0	0	1	1	0	0	1	1
	B	0	1	0	1	0	1	0	1
力	C	0	0	0	0	1	1	1	1
出	S	0	1	1	0	1	0	0	1
力	C	0	0	0	1	0	1	1	1

Ｓ：入力ＡＢＣの１の数が奇数個の場合は１、
　　偶数の場合は０

Ｃ：入力ＡＢＣの１が２個以上の場合は１、
　　１個の場合は０

桁上げの数のｃは、入力の１のビットが２個以上あると桁上げが生じて１となり、桁上げなし

の和ｓは１ビットが奇数個あると１となる論理回路である。

全加算器のビットパターンは表に示すようになる。

ｘ、ｙ、ｚの入力は、１のビットの数は２で偶数であるから、ｃは１、ｓは０となる。求める答えはウとなる。

問11　ウ

論理回路に関する問題である。

ＭＩＬ記号で示された論理回路に入力条件を適用して論理展開すればよい。

二つの論理積の結果を求めると、上部の論理積は（００１１、０１０１）→（０００１）となり、下部の論理積は（１１００、１０１０）→（１０００）となる。

二つの論理積の結果の論理和を求めると、（０００１、１０００）→（１００１）となり、求める答えはウとなる。

問12　イ

論理回路に関する問題である。

２つの論理変数Ａ、Ｂと論理演算の結果の間には次の真理値表の関係が成立する。

表中、１は真、０は偽、∨は論理和、∧は論理積、∀は排他的論理和を表す。

A	B	$A \vee B$	$A \wedge B$	$A \forall B$	$\overline{A \vee B}$	$\overline{A \wedge B}$	$\overline{A \forall B}$
0	0	0	0	0	1	1	1
0	1	1	0	1	0	1	0
1	0	1	0	1	0	1	0
1	1	1	1	0	0	0	1

真理値表において、２つの入力Ａ、Ｂが共に１のときだけ、出力が０になるのは$\overline{A \wedge B}$の場合で、ＮＡＮＤである。求める答えはイとなる。

問13　イ

論理回路に関する問題である。

与えられた論理回路の真理値表と解答群の論理回路の真理値表を作成すると次のようになる。

A	B	X	ア	イ	ウ	エ
0	0	1	1	1	0	1
0	1	0	1	0	0	1
1	0	1	1	1	1	0
1	1	1	0	1	1	1

Ｘのビットパターン１０１１と一致するのは、イのビットパターンである。求める答えはイとなる。

問14　ウ

フリップフロップ回路の問題である。

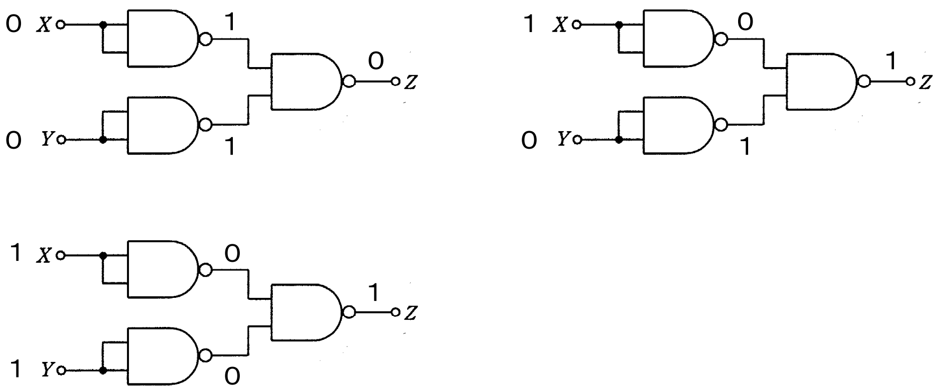
Ｓ、Ｒの値を変化させてシミュレーションを実行すれば答えを得ることができる。

Ｓ、Ｒ、Ｘ、Ｙは表のように変化する。最後の状態はＸ＝１、Ｙ＝０となる。求める答えはウとなる。

Ｓ	Ｒ	Ｘ	Ｙ
１	１	０	１
０	１	１	０
１	１	１	０

問15　イ

論理回路の問題である。



Ｘ	Ｙ	Ｚ	Ｘ・Ｙ	Ｘ＋Ｙ	$\overline{Ｘ＋Ｙ}$	$\overline{Ｘ・Ｙ}$
０	０	０	０	０	１	１
１	０	１	０	１	０	１
０	１	１	０	１	０	１
１	１	１	１	１	０	０

与えられた回路、解答群の真理値表を作成すると図及び表のようになる。

真理値表の中で、Ｚのビットパターンと一致するのは、Ｘ＋Ｙであり、求める答えはイとなる。

問16　イ

論理回路に関する問題である。

論理公式を使用して変形すると、次のようになる。

$$X=\overline{A}\cdot\overline{B}+\overline{A}\cdot B+A\cdot\overline{B}+\overline{A}\cdot\overline{B}$$

$$=\overline{A}(\overline{B}+B)+\overline{B}(A+\overline{A})=\overline{A}+\overline{B}=\overline{A\cdot B}$$

論理積の否定でＮＡＮＤである。求める答はイとなる。

ア～エおよび論理式の真理値表を求めると次のようになる。

Ａ	Ｂ	ア	イ	ウ	エ	論理式
０	０	０	１	０	１	１
０	１	０	１	１	０	１
１	０	０	１	１	０	１
１	１	１	０	１	０	０

論理式のビットパターンと一致するのはイとなる。求める答えはイとなる。

問17　ウ

論理回路の問題である。

アは、（１，　１）の時、Ｚの出力は０となり、１とならない。

イは、（１，　０）の時、Ｚの出力は１となる。

ウは、（１，　１）の時、Ｚの主力は１、（０、０）の時、Ｚの出力は１、（１、０）の時、Ｚの主力は０となる。求める答はウとなる。

エは、（１、１）の時、Ｚの出力は０となる。

問18　ウ

ディジタル回路と論理式に関する問題である。

論理変数Ａ、Ｂに対して次の真理値表が成り立つ。

Ａ	Ｂ	$\overline{A}$	$\overline{B}$	Ａ・Ｂ	$\overline{A \cdot B}$	$\overline{A}\cdot\overline{B}$	$\overline{A}\cdot B$	$A\cdot\overline{B}$	$\overline{A}+B$	$A+\overline{B}$
０	０	１	１	０	１	１	０	０	１	１
０	１	１	０	０	１	０	１	０	１	０
１	０	０	１	０	１	０	０	１	０	１
１	１	０	０	１	０	０	０	０	１	１

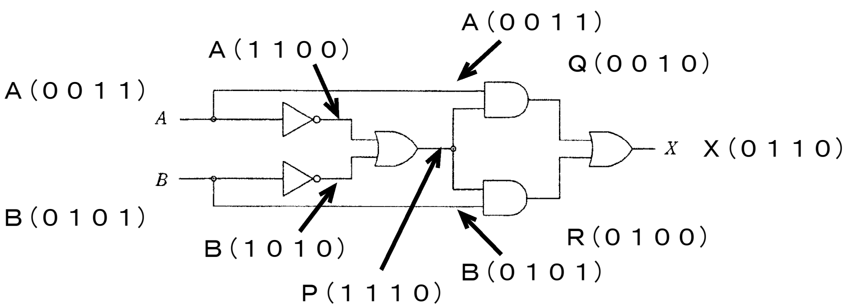
真理値表を使用して、ア～エの論理式のビットパターンを求める。

アの論理式　Ｘ＝Ａ・Ｂ＋$\overline{A \cdot B}$＝（０００１）＋（１１１０）＝（１１１１）

イの論理式　Ｘ＝Ａ・Ｂ＋$\overline{A}\cdot\overline{B}$＝（０００１）＋（１０００）＝（１００１）

ウの論理式　Ｘ＝Ａ・$\overline{B}$＋$\overline{A}$・Ｂ＝（００１０）＋（０１００）＝（０１１０）

エの論理式　Ｘ＝（$\overline{A}$＋Ｂ）・（Ａ＋$\overline{B}$）＝（１１０１）・（１０１１）＝（１００１）



論理回路から求まるビットパターンは（０１１０）であり、論理式のＸ＝Ａ・$\overline{B}$＋$\overline{A}$・Ｂのビッ

トパターンと一致する。求める答えはウとなる。

問19　ア

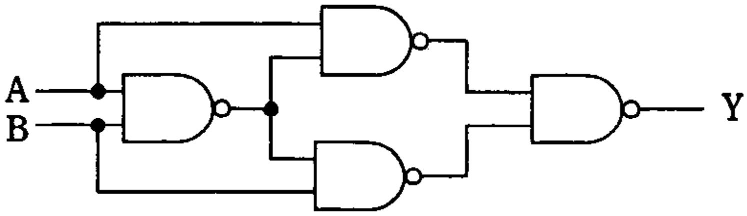
半加算器に関する問題である。

和の１桁目の結果ｚは、ｘ、ｙの２つのビットが異なる場合に１、同じ場合に０となるから、Ａの素子は排他的論理和である。桁上がりの結果ｃは、ｘ、ｙが共に１の時は１、その他の場合は０であるから論理積になる。Ａは排他的論理和、Ｂは論理積となり、求める答えはアとなる。

問20　ウ

論理回路に関する問題である。

入力		出力
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0



ア～エおよび論理回路の真理値表を求めると次のようになる。

A	B	ア	イ	ウ	エ	Y
0	0	0	0	0	1	0
0	1	1	0	1	0	1
1	0	1	0	1	0	1
1	1	1	1	0	0	0

論理回路の出力Ｙのビットパターンと一致するのはウとなる。求める答えはウとなる。

問21　ア

３入力多数決回路に関する問題である。

８入力に対して一つでも真偽が反対になる回路は適切でないことを立証すればよい。

アの場合、

すべての入力が０の場合、最初の論理積は０となり、その後の論理和はすべて０となる。

すべての入力が１の場合、最初の論理積は１となり、その後の論理和はすべて１となる。

１の入力が１個の場合、最初の論理積は０となり、その後の論理和はすべて０となる。

１の入力が２個の場合、最初の論理積は１個が１となり、最後の論理和Ｙは１となる。

従って、多数決論理が成り立つ。求める答えはアとなる。

イの場合、すべての入力が１の場合、排他的論理和の出力は０となり、最後の論理和Ｙは０となり、多数決論理が成立しない。

ウの場合、すべての入力が１の場合、すべての論理和の出力は１となり、論理積は１、最後の論理積の否定Ｙは０となり、多数決論理が成立しない。

エの場合、すべての入力が０の場合、排他的論理和の出力は０となり、論理積は０、最後の論

理積の否定Ｙは１となり、多数決論理が成立しない。

問22　ウ

論理回路に関する問題である。

論理回路の入力Ａ、Ｂ、Ｃ、Ｄに０，１のビットを与え、論理回路での演算結果Ｘのビットパターンと解答のア、イ、ウ、エの論理式から求めたビットパターンを比較して一致する論理式が求める答えになる。

真理値表を作成すると表のようになる。

ＥはＡＢのNAND、ＦはＣＤのNANDの結果を示す。Ｘのビットパターンと解答ウのビットパターンが一致する。求める答えはウとなる。

参考：真理値の中の（Ａ、Ｂ）＝（０、１）の４ケースと（Ａ、Ｂ）＝（１、０）の４ケースは論理回路が対象であり、演算結果は一致するため、どちらか一方を検討すればよい。

A	B	C	D	E	F	X	ア	イ	ウ	エ
0	0	0	0	1	1	0	0	0	0	0
0	0	0	1	1	1	0	0	1	0	0
0	0	1	0	1	1	0	0	1	0	0
0	0	1	1	1	0	1	0	1	1	0
0	1	0	0	1	1	0	0	1	0	0
0	1	0	1	1	1	0	1	1	0	0
0	1	1	0	1	1	0	1	1	0	0
0	1	1	1	1	0	1	1	1	1	0
1	0	0	0	1	1	0	0	1	0	0
1	0	0	1	1	1	0	1	1	0	0
1	0	1	0	1	1	0	1	1	0	0
1	0	1	1	1	0	1	1	1	1	0
1	1	0	0	0	1	1	0	1	1	0
1	1	0	1	0	1	1	1	1	1	0
1	1	1	0	0	1	1	1	1	1	0
1	1	1	1	0	0	1	1	1	1	1