

# gzn020102 「CPUの高速化」 解答解説

## 問1 ア

RISCアーキテクチャに関する問題である。

RISCアーキテクチャの性能向上策の考え

- ① 機械語の命令の長さを固定化し、どの命令も同じサイクル時間で実行する。CPIをできるだけ1に近づける。
- ② 命令セットは使用頻度の高い基本命令だけで構成し、命令機能を単純化する。
- ③ 命令パイプライン処理を用いる。
- ④ パイプライン処理を実現するためにコンパイラによる静的コードスケジューリングを行う。

プロセッサの性能は次式で評価される。

$$\text{プログラム実行時間} = IC \times CPI \times CCT$$

IC : 実行命令数

CPI : 1命令当たりの平均所要クロックサイクル数

CCT : クロックサイクル時間

アのRISCは、命令数を減らすことによって制御系を単純にしハードウェアの設計を容易にしたり、ハードウェア化やパイプライン処理を使用し処理速度の高速化を図ったりするコンピュータのアーキテクチャである。求める答えはアとなる。

イのCISCは、RISCに比べて複雑な命令を数多く備えたコンピュータアーキテクチャである。

ウのRAMは、記憶する内容を自由に書き込んだり読み出したりすることができるメモリである。

エのSCSIは、小型コンピュータの周辺装置のインタフェースの一種である。

## 問2 エ

RISCアーキテクチャの特徴に関する問題である。

RISCは命令セットを単純化して、1命令1サイクルの実行を目指すものである。

RISCをCISCと比較した場合の顕著な相違点

- ① 命令デコードを容易にするため固定単一長にする。
- ② 命令実行サイクル数が少ない。
- ③ 命令形式はレジスタ・レジスタ形式を用いる。
- ④ 命令数およびアドレッシングモード(アドレス指定方式)数が少ない。
- ⑤ 命令機能が簡単なため布線論理制御による実現が可能である。

ア、イ、ウの内容はCISCアーキテクチャの特徴であり、エがRISCアーキテクチャの特徴である。求める答えはエとなる。

## 問3 イ

メモリシステムの信頼性に関する問題である。

アのCRCは、データ伝送で誤りを調べる方式の一つで、データをブロック単位に分け、送信

側でブロックごとにあらかじめ決められた多項式で割り、その余りを検査ビットとしてデータに付加して送信し、受信側で逆の操作で検査する方式である。検査能力が高い方式でバーストエラーにも対応できる方式である。自動訂正はできない。

イのECCは、データ通信やデータ処理におけるデータの誤り検査に使用される方式で検査符号を付加することによって誤りの検出と訂正を行う方式である。自動訂正が可能である。求める答えはイとなる。

ウのチェックサムは、データ伝送において各データ項目に対応する数値を合計した値のことで、データを送るとき、そのままデータに付け加えた形で伝送され、受信側で一定の範囲ごとにもとのデータの合計値と照合して、正しく伝送されたかどうかを調べる仕組みである。自動訂正はできない。

エのパリティは、あるビット数で構成されるデータにチェックビットを余分に1ビット加えることで、伝送されたデータの誤りを検出する方法である。自動訂正はできない。

#### 問4 イ

RISCの特徴に関する問題である。

RISCの特徴

- ① 命令デコードを容易にするため固定単一長にする。
- ② 命令実行サイクル数が少ない。
- ③ 命令形式はレジスタ・レジスタ形式を用いる。
- ④ レジスタ数が多い
- ⑤ 命令数およびアドレッシングモード(アドレス指定方式)数が少ない。
- ⑥ 命令機能が簡単なため布線論理制御による実現が可能である。
- ⑦ パイプライン制御と併用して高速化を図る。

RISCの命令長は固定、ハードウェア制御の方式はワイヤードロジック方式、演算対象はレジスタである。求める答えはイとなる。

#### 問5 イ

RISCアーキテクチャの特徴に関する問題である。

アの命令機能は基本的な、単純なもので構成されている。

イのパイプライン処理に適しているはRISCの内容である。求める答えはイとなる。

ウのプログラム容量は、CISCの場合はマイクロプログラムが高機能化しており、種類が多いために容量が減少するが、RISCの場合は基本的な命令を使用してステップ数が多くなり、プログラム容量は大きくなる。

エの命令の種類は少ない。

#### 問6 イ

マイクロプログラム制御方式に関する問題である。

マイクロプログラム制御は、コンピュータの命令を、ハードウェア内部に組み込まれたプログラムで解釈・実行する方式である。コンピュータの命令が複雑化、高機能化するにつれて、変更容易なファームウェアで実現する考え方が生まれた。結線による方式に比べて、動作速度は遅い

が、ハードウェアが単純化し命令の追加や修正が容易という利点がある。マイクロプログラムは制御記憶という記憶装置に格納され、機械語プログラムによって高速で動作する。

アのマイクロプログラム制御はCISC方式のプロセッサに有利である。

イの制御メモリ内に格納された基本操作命令の組合せで実現する記述は正しい。求める答えはイとなる。

ウの配線論理で実現するのはワイヤードロジック方式で、マイクロプログラムはプログラムで実現するファームウェアである。

エのエミュレーションは、他のOSのAPIや他のCPUの実行コードをソフトウェア的に解読し、自身の環境で実行できる形式に変換するハードウェアまたはソフトウェアである。マイクロプログラム制御方式はエミュレーションを行うには適している。

### 問7 ア

CISCの特徴に関する問題である。

CISCの特徴

- ① 命令長は、固定複数長あるいは可変長である。
- ② 命令形式は、レジスターメモリ形式およびメモリーメモリ形式である。
- ③ 命令セットおよび実現方式は、命令数およびアドレス修飾数が比較的多く、命令機能が高度なためマイクロプログラム制御となる。
- ④ 複雑な命令の作成が容易な反面、命令が複雑になり、命令の実行時間が遅くなる。

イ、ウ、エの内容はRISCの特徴であり、アがCISCの特徴である。求める答えはアとなる。

### 問8 イ

RISCアーキテクチャの特徴に関する問題である。

ア、ウ、エはCISCアーキテクチャの特徴である。

イのハードウェア回路、パイプライン実行のための技術、コンパイラー上の処理を含めて、1命令当たり1クロックで実行できるようにするの記述内容は正しい。求める答えはイとなる。

### 問9 エ

ワイヤードロジック方式とマイクロプログラム方式の比較の問題である。

マイクロプログラム制御は、コンピュータの命令を、ハードウェア内部に組み込まれたプログラムで解読・実行する方式である。コンピュータの命令が複雑化、高機能化するにつれて、変更容易なファームウェアで実現する考え方が生まれた。結線による方式に比べて、動作速度は遅いが、ハードウェアが単純化し、命令の追加や修正が容易、拡張性がよいという利点がある。マイクロプログラムは制御記憶という記憶装置に格納され、機械語プログラムによって高速で動作する。

ワイヤードロジック制御は、電子回路ですべての命令を解読してコンピュータのハードウェアを制御する方式である。マイクロプログラム方式に比べて、命令数が少なく、処理速度が速いが、拡張性や保守性の容易性は劣る。

aは高速、bは低速、cは困難、dは容易となり、求める答えはエとなる。

### 問10 エ

RISCの特徴に関する問題である。

RISCとCISCの比較

項目	RISC	CISC
命令の種類	少ない	多い
命令長	固定長	可変長
アドレス修飾の種類	少ない	多い
主記憶アクセス	ロード、ストア命令のみ	多くの命令
汎用レジスタ数	多い	少ない
制御部の構成	結線論理制御	マイクロプログラム制御

RISCの方が多くなる傾向にあるのはレジスタ数である。求める答えはエとなる。

### 問11 イ

RISCに関する問題である。

RISCは、CPUに与える命令を単純化し、処理速度を上げる設計になっている。機械語である命令語の長さを固定化し、どの命令も同じサイクル時間で実行する。命令セットは使用頻度の高い基本命令だけで構成し、一つの命令の処理速度は速い。RISCを使用すると、ハードウェアの開発が容易になり、短期間で開発が可能になる。その反面、プログラム言語から機械語へ翻訳するコンパイラの負担が大きくなり、翻訳結果のステップ数も長くなる短所がある。コンパイラの最適化技術がプログラムの実行速度に与える影響はCISCより大きい。

アの1命令を実行するマシンサイクル数はCISCより小さくなる。

イのコンパイラの最適化技術がプログラムの実行速度に与える影響は大きいは正しい記述である。求める答えはイとなる。

ウのプログラムサイズは大きくなる傾向にある。

エのメモリ間のデータ転送に関する命令は、命令形式がレジスタ・レジスタ方式が主体であり、少ない。

### 問12 ウ

パイプライン処理に関する問題である。

アのインタリーブは、主記憶装置へのアクセスを高速化するために、主記憶装置の内部を複数のバンクに分割し、各バンクを並列動作させる方式である。

イのデュアルシステムは、二組のコンピュータで同じ処理を行い、処理結果を相互にチェックしながら処理を行う方式である。

ウのパイプラインは、一つの処理を複数のステップに分割し、各ステップを独立させて同時に並行して処理を進める方式で、CPUの処理速度の高速化を実現する。求める答えはウとなる。

エのマルチプロセッサは、1台のコンピュータに複数のCPUを搭載している形式である。

### 問13 ウ

パイプライン処理に関する問題である。

パイプライン処理は1つの処理を複数のステップに分割し、各ステップを独立させて同時に並行して処理を進める方式で、CPUの処理速度の高速化を実現する。

パイプライン処理の特徴

- ① クロックサイクル毎に、新しい命令のフェッチ(I F)、デコード(I D)、実行(E X)、メモリアクセス(M E M)、書き込み(W B)を同時に行う。
- ② 1個の命令ではクロックサイクル毎にI F→I D→E X→M E M→W Bとステージが進んでいく。
- ③ ステージ間にラッチを置き、あるラッチに書けるのは当該ラッチの前段のステージだけであり、読み出せるのは後段のステージだけになる。
- ④ ステージ間で資源の競合が発生しないように当該資源の多重化を図る。

ア、エはマルチプロセッサに関する内容である。

イはR I S Cアーキテクチャに関する内容である。

ウはパイプライン処理に関する内容である。求める答えはウとなる。

### 問14 ウ

R I S Cとコンパイラに関する問題である。

R I S Cを使用すると、ハードウェアの開発が容易になり、短期間で開発が可能になる。その反面、プログラム言語から機械語へ翻訳するコンパイラの負担が大きくなり、翻訳結果のステップ数も長くなる短所がある。コンパイラ最適化技術がプログラムの実行速度に与える影響は大きく、パイプラインを効率的に機能させるために、命令の並び替えなどの最適化を活用する。

求める答えはウとなる。

### 問15 ウ

パイプライン処理の乱れに関する問題である。

ア、イのサブルーチンやC A S E文が多くなると、処理に乱れが発生する。エのレジスタやメモリへのアクセス数が少なくなると本来の機能が発揮できなくなる。ウの分岐命令を少なくすることがパイプライン処理を有効に機能させることになる。求める答えはウとなる。

### 問16 エ

パイプラインハザードに関する問題である。

パイプラインハザード(パイプライン処理の乱れ)

- ① メモリ、デコーダ、キャッシュ等の資源の競合。
- ② メモリまたはレジスタに格納されたデータ相互間の依存関係。
- ③ 分岐命令等。

ジャンプ命令がパイプラインの効率を低下させる。求める答えはエとなる。

### 問17 ウ

パイプライン処理の実行時間を求める問題である。

6命令がパイプライン処理で並行処理されるため、6命令実行時の1命令実行時と比較した場合の時間の増分は、2番目の命令以降のステージ6に関する5ステップ分のみとなる。並列処理される部分を考えて、6命令を実行する全ステップ数は、

$$6 + 5 = 11$$

ステップになる。各ステップの実行時間は10ナノ秒であるから、

$$11 \times 10 = 110$$

110ナノ秒となり、求める答えはウとなる。

### 問18 ウ

パイプライン処理の実行効率を求める問題である。

逐次制御で20命令実行した場合の全サイクル数とパイプライン制御で実行した場合のサイクル数の比を求めればよいことになる。

パイプラインのサイクル数TS1は

$$TS1 = 5 + (IS - 1)$$

IS : 命令数

逐次制御のサイクル数TS0は

$$TS0 = 5 \times IS$$

IS : 命令数

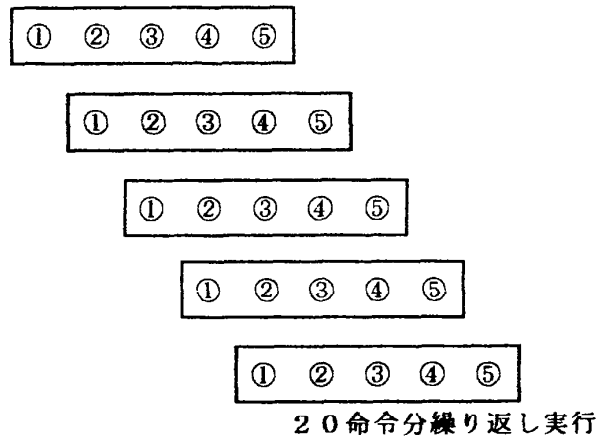
IS = 20として、TS0、TS1を求めると、次のようになる。

$$TS0 = 5 \times 20 = 100$$

$$TS1 = 5 + 20 - 1 = 24$$

比率TS1 / TS0を求めると、 $24 / 100 = 0.24$

従って、24%となり、求める答えはウとなる。



### 問19 エ

スーパースカラー方式に関する問題である。

スーパースカラー方式はCPUの処理速度を向上させる技術の一つで、1クロックで複数の命令を同時に実行できるように、CPUの内部に複数の処理ユニットを設けている方式である。命令を読み込んだ時点でデコーダによって並列性のある命令と判断すると、複数命令の同時実行が行われる。

アは逐次制御方式、イは先行制御方式、ウはパイプライン制御方式、エはスーパースカラー制御方式である。求める答えはエとなる。

### 問20 ウ

スーパースカラー方式に関する問題である。

スーパースカラーは同じステージで複数個の命令を実行させる方式であり、1マシンサイクル中に2個の独立した命令が実行される。

アはベクトル処理方式、イはスーパパイプライン方式、ウはスーパースカラー方式、エはVLI

W方式である。求める答えはウとなる。

#### 問21 エ

パイプライン制御に関する問題である。

パイプライン制御は、CPUの高速化技術の一つで、CPUが命令を実行するときに、命令の読み出し、解釈から、命令実行、結果の書き込みまでを複数のステージに分け、各ステージを少しずつずらしながら並行に動作させることで、命令の処理時間を短縮化させる方法である。

アは逐次制御方式、イはメモリインタリーブ、ウは割込制御、エはパイプライン制御である。求める答えはエとなる。

#### 問22 ウ

パイプライン制御の特徴の説明に関する問題である。

パイプライン制御は、CPUの高速化技術の一つで、CPUが命令を実行するときに、命令の読み出し、解釈から、命令実行、結果の書き込みまでを複数のステージに分け、各ステージを少しずつずらしながら並行に動作させることで、命令の処理時間を短縮化させる方法である。

ア、イは、パイプライン制御を効率的に実行するための事前処理の内容である。アはコンパイル時に静的に命令を演算器に割り振る方式であり、イは動的に演算器に割り振る方式である。

ウは、パイプライン制御の特徴を示したものである。求める答えはウとなる。

エは、マイクロプログラム制御の説明である。

#### 問23 イ

多重プロセッサシステムの構成に関する問題である。

アのシムプレックスシステムは汎用コンピュータを利用する場合の最小の構成であり、1台のCPUを用いて入出力装置や通信制御装置などの周辺装置を接続したものである。

イの多重プロセッサシステムはマルチプロセッシングシステムともいい、密結合マルチプロセッサシステムは複数のプロセッサが1個の主記憶装置を共用し、1個のOSが複数のCPUを制御し、並行処理を行うことによって全体として大きなコンピュータシステムとして用いるものである。求める答えはイとなる。

ウのデュアルシステムは、中央処理装置やその他の機器・ファイルを二重にもち、それぞれのCPUで同じ処理を行い、一定間隔で処理結果を照合するシステムである。

エのデュプレックスシステムは、中央処理装置と主記憶装置を2系統もつことによって、システム全体の信頼性をあげるシステムであり、通常、1系統をオンライン用として使用し、もう1系統を待機用としてバッチ処理などを行う。

#### 問24 ウ

マルチプロセッサシステムに関する問題である。

アのアレイプロセッサシステムは多数組のデータに対する同一演算を一つの命令で処理する演算システムである。

イのスレーブシステムは接続機器をマスタまたはスレーブに区別して設定する方式である。

ウの疎結合型マルチプロセッサシステムはプロセッサが専用メモリとOSをもち、プロセッサ

間のデータ授受は高速入出力ポートを利用する方式である。求める答えはウとなる。

エの密結合マルチプロセッサシステムは複数のプロセッサが1個の主記憶を共用し、1個のOSがシステム全体を制御する方式である。

#### 問25 エ

マルチプロセッサ方式に関する問題である。

マルチプロセッサ方式は複数のCPUを持ちコンピュータで処理する方式で、次のような方法がある。

- ① 複数のCPUに、それぞれ専門の仕事を割り当て、同時並行的に処理する。
- ② 1つのメインとなるCPUの管理下で、他のCPUを効率的に使用する。

この方式を用いることによって、処理の高速化、負荷の分散、故障発生時のバックアップなどを計ることができる。

アのRISC方式は、命令の種類を大幅に削減したコンピュータアーキテクチャで、各命令をできるだけ単純なものに限定し、ハードウェアの結線論理だけを用いて命令を実行する。各命令の実行時間が等しくなるようにすることによって、パイプライン処理を利用して処理の高速化を実現する。

イのパイプライン方式は命令実行過程を複数の処理ステップに分け、各ステップを平行処理し、処理を高速化する方式である。

ウのマイクロプログラミング方式は、機械語命令をマイクロプログラムに展開し、マイクロプログラムが論理回路を制御する方式を採用する。この方式を利用することによって、複雑な機能の実現が容易になる。

エのマルチプロセッサ方式は、複数の処理装置が一つのOSのもとで動作するシステムで、主記憶装置や周辺装置はこの複数の処理装置によって共有される。処理の負荷分散をはかり、システムのスループットを向上させる。求める答えはエとなる。

#### 問26 イ

密結合型マルチプロセッサシステムに関する問題である。

密結合型マルチプロセッサシステムは、複数の中央処理装置が主記憶装置や磁気ディスク等の資源を共有するコンピュータシステムであり、各中央処理装置で処理を分担する。1つのOSが複数のCPUを制御し並行処理し、計算速度の大幅な高速化を実現し信頼性も向上する。障害発生時は、そのCPUを切り離して処理を続行する。

疎結合型マルチプロセッサシステムは、各プロセッサが専用メモリとOSをもち、各プロセッサ間のデータの受け渡しは高速入出力ポートを利用する。各プロセッサの役割が決まっている処理方式では、メモリスペース管理用プロセッサ、利用者プログラム実行用プロセッサ、ジョブスケジュール処理用プロセッサ等のように役割を分担する。

アは疎結合型マルチプロセッサシステム、イは密結合型マルチプロセッサシステム、ウはデュプレックスシステム、エはデュアルシステムである。求める答えはイとなる。

#### 問27 エ

実効メモリアクセス時間の計算に関する問題である。



キャッシュメモリを有する場合のメモリのアクセス時間(TA)の計算式

$$TA = TC \times FR + TM \times (1 - FR)$$

TC : キャッシュメモリのアクセスタイム

TM : 主記憶のアクセスタイム

FR : ヒット率

ア～エの実効メモリアクセス時間(ナノ秒)を計算すると、次のようになる。

ア  $10 \times 0.6 + 70 \times 0.4 = 34$

イ  $10 \times 0.7 + 70 \times 0.3 = 28$

ウ  $20 \times 0.7 + 50 \times 0.3 = 29$

エ  $20 \times 0.8 + 50 \times 0.2 = 26$

アクセス時間が最も短いのはエの場合である。求める答えはエとなる。

### 問28 イ

キャッシュメモリを有する場合の平均メモリアクセス時間を求める問題である。

主記憶装置へのアクセス時間60ナノ秒、キャッシュメモリへのアクセス時間10ナノ秒、ヒット率80%であるから、平均アクセス時間は次式から求められる。

$$60 \times 0.2 + 10 \times 0.8 = 20 \text{ (ナノ秒)}$$

求める答えはイとなる。

### 問29 ウ

キャッシュメモリの目的に関する問題である。

キャッシュメモリは、主記憶へのアクセス速度とプロセッサの処理速度の差を埋めるものである。求める答えはウとなる。

ア、イは、仮想記憶方式のアドレス変換機構の役割を示している。

エは、仮想記憶方式で使用頻度の高いプログラムを実アドレスメモリ空間に常駐させる考え方である。

### 問30 ア

キャッシュメモリに関する問題である。

キャッシュメモリは、プロセッサに近接して装備され、主記憶装置内の命令やデータを一時的に格納する装置である。高速読み出し小容量の記憶装置で、主記憶装置からの実行上の読み出し速度を向上させる目的に用いられる。

主記憶装置に書き込みを行うタイミングにライトスルー方式とライトバック方式がある。ライトスルー方式は、キャッシュメモリのブロックに書き込むときに、同時に主記憶装置のブロックにも書き込む方式である。ライトバック方式は、キャッシュメモリからブロックを追い出すときに、主記憶装置への書き込みを行う方式である。

アの主記憶装置への書き込みタイミングは、ライトスルー方式とライトバック方式がある。求める答えはアとなる。

イの割込は、命令の実行順序を強制的に、動的に変える手段であり、不測の事態や異常・例外などの動作が発生した場合の処理法である。キャッシュメモリは主記憶へのアクセス手段の一つ

で、定常の処理であり、割込処理を伴うものではない。

ウの実記憶と仮想記憶のメモリ容量の差を埋めるは誤りであり、主記憶へのアクセス時間の短縮を図るための仕組みである。

エの主記憶へのアクセス速度の向上のために、現在でも、より大容量のキャッシュメモリが求められている。

### 問31 イ

キャッシュメモリに関する問題である。

C、Dはキャッシュメモリがある場合で、アクセス時間は短縮する。

Cのアクセス時間を求めると、次のようになる。

$$20 \times 0.6 + 70 \times 0.4 = 12 + 28 = 40 \text{ (ナノ秒)}$$

Dのアクセス時間を求めると、次のようになる。

$$10 \times 0.9 + 80 \times 0.1 = 9 + 8 = 17$$

実効メモリアクセス時間の早い順は、A、D、B、Cとなり、求める答えはイとなる。

### 問32 エ

キャッシュメモリシステムにおけるヒット率を求める問題である。

ヒット率をFとすると、次式が成り立つ。

$$15 = 60 \times (1 - F) + 10 \times F \quad 50F = 45 \quad F = 0.9$$

ヒット率は0.9であるから、求める答えはエとなる。

### 問33 ウ

キャッシュメモリを使用した場合の実効メモリアクセス時間を求める問題である。

TM=50、TC=10、T=25を上式に代入し、ヒット率Fを求める。

$$25 = 50 \times (1 - F) + 10 \times F$$

$$40 \times F = 50 - 25 \quad F = 25 / 40 = 0.625$$

62.5%を満足させる最小のヒット率は70%であり、求める答えはウとなる。

### 問34 エ

キャッシュメモリアクセス時間に関する問題である。

キャッシュメモリへのヒット率をHとすると

$$15 \times H + 50 \times (1 - H) = 10 \times H + 70 \times (1 - H)$$

$$-35H + 50 = -60H + 70$$

$$25H = 20 \quad H = 0.8$$

求める答えはエとなる。

### 問35 イ

キャッシュのメモリアクセスのクロックサイクルを求める問題である。

クロック周波数からクロック時間を求め、キャッシュシステムの平均アクセス時間を求めた結果をクロック時間で除すと平均クロックサイクルを求めることができる。

クロック時間は、 $1 / (200 \times 10^6) = 0.5 \times 10^{-8} = 5$  (ナノ秒)  
平均アクセス時間は  $T = 70 \times 0.1 + 10 \times 0.9 = 16$  (ナノ秒)  
平均クロックサイクルは  $16 / 5 = 3.2 \div 4$   
求める答えはイとなる。

### 問36 イ

キャッシュメモリに関する問題である。

ヒット率をXとすると次の関係が成り立つ。

$$40X + 400(1 - X) = 20X + 580(1 - X)$$

$$400 - 360X = 580 - 560X$$

$$200X = 180 \quad X = 0.9$$

求める答えはイとなる。

### 問37 ウ

キャッシュメモリを有するシステムで現状の平均アクセス時間が既知の場合のキャッシュメモリのアクセス時間の改善に関する問題である。

現状の平均アクセス時間T0を求めると

$$T0 = 100 \times 0.2 + 20 \times 0.8 = 20 + 16 = 36 \text{ (ナノ秒)}$$

20%短縮するため改善後のアクセス時間は、 $36 \times 0.8 = 28.8$ となる。この平均アクセス時間を得るためのキャッシュメモリのアクセス時間をTCとすると

$$28.8 = 100 \times 0.2 + TC \times 0.8$$

$$TC = (28.8 - 20) / 0.8 = 8.8 / 0.8 = 11 \text{ (ナノ秒)}$$

求める答えはウとなる。

### 問38 エ

キャッシュメモリの置換アルゴリズムに関する問題である。

FIFOは、先入れ先出しで、ロード時刻が最も古い内容が置換されることになる。表の場合には、キャッシュC0、内容M0が対象になる。

LFUは、最近の一定時間内の参照回数が最も少ないものが置換の対象になるアルゴリズムである。表の場合には、キャッシュC1、内容M1が対象になる。

LIFOは、最後に入ったものを先に出すアルゴリズムで、表の場合には、キャッシュC3、内容M3が対象になる。

LRUは、最後に参照されてから最も長い時間参照されていない内容が置換の対象になる。表の場合には、キャッシュC2、内容M2が対象になる。

キャッシュのC2の内容M2はロード時刻では3番目であり、参照回数では2番目であり、最終参照時刻では最も古い。従って、この場合の置換アルゴリズムはLRUである。求める答えはエとなる。

### 問39 イ

置換アルゴリズムLRUに関する問題である。

L R U方式はキャッシュメモリ上にあるブロックの内、最後に参照されてからその時点までの経過時間が最も長いブロックを書き戻すブロックとして決定する方式である。

アはN R U方式、イはL R U方式、ウはL F U方式、F I F O方式である。求める答えはイとなる。

#### 問40 ウ

命令キャッシュに関する問題である。

キャッシュには、命令格納専用の命令キャッシュとデータ格納専用のデータキャッシュがある。命令キャッシュは主記憶装置への書き戻しが不要であり、データに比べて命令の参照局所性は安定して高くなる。

作業領域は、プログラムを実行する際に、一時的なデータを保存する領域である。

アのアクセスする作業領域をまとめても命令キャッシュを使用する効果に直接関係しない。

イの作業領域全体をまとめても命令キャッシュの仕様効果には関係しない。

ウの頻繁に実行される処理部分をまとめると、局所参照性の効果から命令キャッシュの使用効果に影響する。求める答えはウとなる。

エのプログラム全体を平均的に実行しても、局所参照性が効果的になるとは言えないため、命令キャッシュの使用効果が上がるとは必ずしも言えない。

#### 問41 ウ

キャッシュメモリに関する問題である。

アは、キャッシュメモリはアクセス要求時にそのデータ存在の有無を瞬時に判断する必要がある。そのためデータの格納位置を限定することで検索速度を高め実行効率を高めている。仮想記憶の考え方とは異なる。

イの汎用レジスタは特定の機能に限定せず、多目的に使用されるレジスタであり、データの一時的に記憶領域したり、インデックスレジスタとして使用したりする。

ウの多段キャッシュ構成で実効アクセス時間を短縮できる。求める答えはウとなる。

エのミスヒットが発生した場合のデータの入れ替えは、一括消去ではなく、置換アルゴリズムを利用した入れ替えになる。

#### 問42 ウ

キャッシュメモリに関する問題である。

キャッシュメモリへのアクセス手順を示すと次のようになる。

- ① キャッシュに存在すればそれにアクセスする。
- ② キャッシュに存在しなければ、キャッシュの一部と主記憶装置の一部を置換アルゴリズムに従って置き換える。
- ③ アクセス対象の主記憶装置内の命令やデータをキャッシュ内に読み出し、それにアクセスする。

アは、キャッシュメモリに所要のデータが存在しない場合であるから、所要のデータのブロック転送はできない。

イのプロセッサにデータを読み込む場合は、磁気ディスク上の所要データのブロック転送では

なく、主記憶装置上の所要データが対象になる。

ウの主記憶装置から所要のデータをブロック転送し、キャッシュメモリに読み込む内容は適切である。求める答えはウとなる。

エのディスクキャッシュから主記憶への所要データの転送は主記憶にデータを読み込む場合の処理であり、プロセッサにデータを読み込む場合の処理ではない。

#### 問43 ア

キャッシュメモリのマッピング方式に関する問題である。

- ① ダイレクトマッピング方式は、メインメモリをブロックに分割した(セットアドレスが決まる)場合、キャッシュメモリの対応する位置が固定される方式である。メモリのセットアドレスが決まると格納できるキャッシュのアドレスが決まる方式である。
- ② セットアソシアティブ方式は、メインメモリをブロックに分割した(セットアドレスが決まる)場合、セットアドレスに対してキャッシュメモリの対応する位置が複数存在する方式である。メインメモリとキャッシュメモリのセット間ではダイレクトマッピング方式を用いる。セット内の複数のブロックに対してはキャッシュメモリのどのアドレスでも対応するフルアソシアティブ方式を用いるようにした方式である。
- ③ フルアソシアティブ方式は、メインメモリとキャッシュメモリのブロック間で任意に対応付けが可能で、任意にアクセスできるようにしたものである。

主記憶上のブロックがキャッシュメモリ上の複数個の特定ブロックと対応づく方式であるためセットアソシアティブ方式である。求める答えはアとなる。

エのライトスルー方式は、CPUがデータ書き込み命令を実行する場合、キャッシュメモリとメインメモリの両方に書き込む方式である。

#### 問44 ウ

メモリインタリーブに関する問題である。

メモリインタリーブとは、主記憶装置をいくつかのバンクに分割し、各バンク毎にアクセスパスを設定する。あるバンクの情報に対するアクセスがある時は、それに続く全てのバンクの情報を同時にそれぞれのアクセスパスを経由して読み出す。これによって、主記憶への見かけ上のアクセス時間の短縮を実現する。

アはキャッシュメモリの書き込み操作のライトスルー方式である。

イはキャッシュメモリの考え方である。

ウはメモリインタリーブである。求める答えはウとなる。

エはキャッシュメモリの種類に関する内容である。

#### 問45 エ

メモリインタリーブに関する問題である。

アのキャッシュメモリは、CPUと主記憶装置の間に置いて、主記憶のアクセス時間を短縮するためのメモリである。キャッシュメモリと主記憶の記憶階層を利用して、高速性と大容量化を経済的に実現する手法である。

イの蓄積交換は、ネットワーク上でデータを伝送する際、固定的な伝送路を設置しないで、適

当な大きさの packets 単位ごとに宛先をつけ、交換網内を転送させる方式である。

ウのパイプライン処理は、1つの処理を複数のステップに分割し、それぞれのステップを独立させて、同時に並行して処理を進める方式で、CPUの処理速度の高速化を実現する技術である。

エのメモリアンタリーブは、主記憶装置を独立した動作可能な複数のバンクに分け、連続したアドレスがアクセスされる場合に並列して動作させ、見かけ上のアクセス時間を改善する手段である。求める答えはエである。

#### 問46 エ

メモリアンタリーブに関する問題である。

メモリアンタリーブは、主記憶を複数の独立して動作するグループに分けて、各グループに並列にアクセスする方式である。求める答えはエとなる。

#### 問47 エ

メモリアンタリーブに関する問題である。

アの仮想記憶は、主記憶の実容量を超える記憶領域を確保するための手法で、補助記憶を利用して、情報が存在するアドレスと処理装置が呼び出すアドレスを分離して使えるようにする仕組みである。

イのキャッシュメモリは、CPUと主記憶装置の間に置いて、主記憶のアクセス時間を短縮するためのメモリである。キャッシュメモリと主記憶の記憶階層を利用して、高速性と大容量化を経済的に実現する手法である。

ウのダイレクトメモリアccessは、入出力装置がCPUを介さずにメモリとの間でデータを直接転送する方式である。DMAコントローラがデータを転送する。

エのメモリアンタリーブは、主記憶装置を独立した動作可能な複数のバンクに分け、連続したアドレスがアクセスされる場合に並列して動作させ、見かけ上のアクセス時間を改善する手段である。求める答えはエである。

#### 問48 エ

メモリアンタリーブに関する問題である。

メモリアンタリーブは、主記憶装置を複数のアクセス単位に分けておき、各バンクを並行してアクセスできるようにすることによって、主記憶へのアクセスを高速化する方法である。

アはディスクキャッシュ、イはデータキャッシュ、ウはサイクルタイム、エはメモリアンタリーブである。求める答えはエとなる。

#### 問49 ウ

メモリアンタリーブに関する問題である。

メモリアンタリーブは、主記憶装置を複数のアクセス単位に分けておき、各バンクを並行してアクセスできるようにすることによって、主記憶へのアクセスを高速化する方法である。

アはCPUと主記憶装置のアクセス時間の差を縮めるためのキャッシュメモリ方式である。

イは主記憶をいくつかのバンクに分割し、それぞれのバンクごと一括してプログラムまたはデータのアドレスを割り付ける方式である。

ウはメモリを複数のバンクに分割し、空間の局所性を確保できるようにして、プログラムやデータを振り分け、それぞれのバンクに独立してアクセスできるようにしたもので、一つのバンクを呼び出すときに局所性の高いバンクを同時に呼び出す方式であり、メモリインタリーブといわれる方式である。メモリにアクセスする場合には複数のバンクが対象になる。求める答えはウとなる。

エは、命令処理の過程を高速化するためのパイプライン処理の方式である。

#### 問50 エ

メモリインタリーブに関する問題である。

メモリインタリーブは、主記憶装置をいくつかのバンクに分割し、各バンク毎にアクセスパスを設定する。あるバンクの情報に対するアクセスがある時は、それに続く全てのバンクの情報を同時にそれぞれのアクセスパスを経由して読み出す仕組みである。

主記憶装置に書き込みを行うタイミングにライトスルー方式とライトバック方式がある。

ライトスルー方式は、キャッシュメモリのブロックに書き込むときに、同時に主記憶装置のブロックにも書き込む方式である。

ライトバック方式は、キャッシュメモリからブロックを追い出すときに、主記憶装置への書き込みを行う方式である。

アはキャッシュメモリのライトバック方式である。

イはキャッシュメモリで、記憶階層に関する内容ある。

ウはキャッシュメモリのライトスルー方式である。

エはメモリインタリーブである。求める答えはエとなる。

#### 問51 イ

キャッシュメモリのアクセス時間に関する問題である。

キャッシュの性能として、ヒット率とアクセス時間がある。ヒット率は命令またはデータがキャッシュメモリ内に存在する割合であり、存在しない割合をミスヒット率という。ヒット率はプログラムの参照局所性に左右され、マッピング方式やブロック置換アルゴリズムの影響を受ける。キャッシュアクセス時間はキャッシュを構成するメモリ素子によって決まる。

キャッシュメモリへのアクセス手順を示すと次のようになる。

- ① キャッシュに存在すればそれにアクセスする。
- ② キャッシュに存在しなければ、キャッシュの一部と主記憶装置の一部を置換アルゴリズムに従って置き換える。
- ③ アクセス対象の主記憶装置内の命令やデータをキャッシュ内に読み出し、それにアクセスする。

ア、ウ、エはアクセス時間が減少するが、イのヒット率の低下は、アクセス手順の②、③の手順が必要となり、平均アクセス時間が増加する。求める答えはイとなる。

#### 問52 ウ

パイプライン制御に関する問題である。

RISCマシンの5段のパイプライン制御は 命令フェッチ(IF)、命令デコード(ID)、実行

(EX)、メモリアクセス(MEM)、レジスタ・ライトバック(WB)の順序で行われ、次の図に示すように各ステージがパイプライン制御される。

命令番号	パイプラインステージ								
1	IF	ID	EX	MEM	WB				
2		IF	ID	EX	MEM	WB			
3			IF	ID	EX	MEM	WB		
4				IF	ID	EX	MEM	WB	
5					IF	ID	EX	MEM	WB

CPUは、クロック信号で駆動され、CPU内部の論理回路とメモリが、クロック信号によって駆動されてフリップフロップが新たな値を受け付け、論理回路でその新たな値をデコードし、次のクロックパルスが入ってくると、フリップフロップはまた新たな値を受け付け、同様に処理されていく。

ステージの内容を整理すると次のようになる。

- ①の書込は実行結果をメモリに書き込む。
- ②の実行とアドレス生成はプログラムを実行し、その結果を書き込むアドレスを生成する。
- ③の命令デコードとレジスタファイル読出しは命令を解釈し、レジスタファイルを読出す。
- ④の命令フェッチは命令の読出しである。
- ⑤のメモリアクセスはメモリの所定のアドレスに動作することである。

従って、命令実行の順序は次のようになる。

- ④命令フェッチ→③命令デコードとレジスタファイル読出し→②実行とアドレス生成→⑤メモリアクセス→①書込となり、求める答えはウとなる。

### 問53 イ

キャッシュメモリに関する問題である。

キャッシュメモリは、プロセッサに近接して装備され、主記憶装置内の命令やデータを一時的に格納する装置である。高速読み出し小容量の記憶装置で、主記憶装置から読み出したデータをキャッシュメモリに保持し、CPUが後で同じデータを読み出すときにキャッシュメモリから読み出すことによって主記憶装置からの実行上の読み出し速度を向上させる目的に用いられる。

アの主記憶からキャッシュメモリに命令とデータを同時に読み出すことはできない。

イのデータをキャッシュメモリに一時的に保持し、後で同じデータが必要になるとキャッシュメモリのデータを使用して高速化を図る内容は適切である。求める答えはイとなる。

ウのキャッシュメモリに保持したデータを命令の並列処理時に利用することはできない。並列処理はパイプライン制御の問題である。

エのキャッシュメモリは命令のデコードはできない。デコードはCPU制御装置の機能である。

### 問54 エ

投機実行に関する問題である。

投機実行は、マイクロプロセッサの高速化手法の一つで、プログラムが途中で条件分岐してい



るときに、分岐した先の処理をあらかじめ実行しておくことである。最近のマイクロプロセッサは複数の命令を並行して実行できるようになっているが、条件分岐が含まれると分岐先の命令がどこにあるか事前に知る事ができないため、条件が確定するまで分岐先の命令の実行に取り掛かる事ができない。投機的実行では、分岐先を予測して分岐先の命令の実行を開始し、予測が当たっていれば条件の確定を待つことなくスムーズに処理が継続でき、処理速度は高速化される。予測が外れたら投機的に実行された結果は破棄され、正しい分岐先の命令が実行される。

アはアウトオブオーダー実行、イは同時マルチスレッディング、ウはマルチプロセッサシステム、エは投機実行である。求める答えはエとなる。