

# gzn020102 「CPUの高速化」演習問題

## 問1

命令セットを使用頻度の高い基本命令に限定して制御のための回路を簡単にし、更にパイプライン処理が有効に働くように命令語長をできるだけ統一することで、命令の処理時間の短縮を図った処理装置のアーキテクチャはどれか。

- ア RISC                      イ CISC                      ウ RAM                      エ SCSI

## 問2

RISCアーキテクチャの特徴を表すものはどれか。

- ア 高機能で複雑な命令を備えている。  
イ 主記憶を直接参照する命令が多い。  
ウ タスクの切り替えがより高速にできる。  
エ 命令実行サイクル数が少なくなる。

## 問3

メモリシステムの信頼性を高めるため、データ読込時にエラーがあっても自動的に訂正する機能をもつ方式はどれか。

- ア CRC                      イ ECC                      ウ チェックサム                      エ パリティ

## 問4

CISCと比較したときのRISCの特徴として、適切なものはどれか。

|   | 命令長 | ハードウェアの制御   | 演算の対象    |
|---|-----|-------------|----------|
| ア | 固定  | 主にマイクロコード制御 | メモリ、レジスタ |
| イ | 固定  | ワイヤードロジック制御 | レジスタ     |
| ウ | 可変  | 主にマイクロコード制御 | レジスタ     |
| エ | 可変  | ワイヤードロジック制御 | メモリ、レジスタ |

## 問5

CISCと比較したときのRISCの特徴として、適切なものはどれか。

- ア 高機能な命令をもっている。                      イ パイプライン処理に適している。  
ウ プログラム容量は小さくなる。                      エ 命令の種類が多い。

**問6**

マイクロプログラム制御方式に関する記述として、正しいものはどれか。

- ア CISC方式のプロセッサよりも、RISC方式のプロセッサに有利である。
- イ 機械語命令を、制御メモリ内に格納された基本操作命令の組合で実現する。
- ウ 機械語命令を配線論理で実現する。
- エ コンピュータのエミュレーションを行うには不向きである。

**問7**

CISCの特徴に関する記述として、適切なものはどれか。

- ア 固定小数点命令、10進演算命令などの命令群が用意されている。
- イ 命令セットが単純化されているので、ワイヤードロジックでの実現が比較的容易である。
- ウ 命令長が固定であり、命令デコードの論理が簡単である。
- エ メモリ参照命令をロードおよびストア命令に限定している。

**問8**

RISCアーキテクチャのMPUの特徴として、正しいものはどれか。

- ア デコードできる命令長は、固定長だけでなく、可変長の命令が混在できる。
- イ ハードウェア回路とパイプライン命令実行の技術を使い、1命令当たり1クロックで命令を実行できる。
- ウ 命令形式は、レジスタ-レジスタ形式だけでなく、レジスタ-メモリ形式およびメモリーメモリ形式を混在できる。
- エ 命令を実行する回路は、マイクロプログラムというフォームウェアで実現できる。

**問9**

ワイヤードロジック方式とマイクロプログラム方式について処理速度と拡張性の二つの観点に関して比較を行った。a～dに当てはまる用語の組合せはどれか。

|      | ワイヤードロジック方式 | マイクロプログラム方式 |
|------|-------------|-------------|
| 処理速度 | a           | b           |
| 拡張性  | c           | d           |

- ア (a 低速    b 高速    c 容易    d 困難)
- イ (a 低速    b 高速    c 困難    d 容易)
- ウ (a 高速    b 低速    c 容易    d 困難)
- エ (a 高速    b 低速    c 困難    d 容易)

**問10**

RISCとCISCを比較した場合、RISCの方が多くなる傾向があるものはどれか。

- ア アドレス修飾の種類
- イ 主記憶アクセスを伴う命令の数
- ウ 命令の数
- エ レジスタ数

**問11**

RISCに関する記述のうち、正しいものはどれか。

- ア 1命令を実行するのに必要なマシンサイクル数は、CISCより大きくなる傾向がある。
- イ コンパイラの最適化技術がプログラムの実行速度に与える影響は、CISCより大きい。
- ウ プログラムサイズはCISCと比べて小さくなる傾向がある。
- エ メモリ間のデータ転送に関する命令が多数ある。

**問12**

計算機の高速化を図るために、命令の実行過程を細分化し、並行して動作させる方式はどれか。

- ア インタリーブ
- イ デュアルシステム
- ウ パイプライン
- エ マルチプロセッサ

**問13**

プロセッサにおけるパイプライン処理方式に関する説明として、正しいものはどれか。

- ア 単一の命令を基に、複数のデータに対して複数のプロセッサが同期をとりながら並列的にそれぞれのデータを処理する方式
- イ 一つのプロセッサにおいて、単一の命令に対する実行時間をできるだけ短くする方式
- ウ 一つのプロセッサにおいて、複数の命令を少しずつ段階をずらしながら同時実行する方式
- エ 複数のプロセッサが、それぞれ独自の命令を基に複数のデータを処理する方式

**問14**

RISCでは、パイプライン処理を行い高速化を図っている。パイプラインを効率的に機能させるために、命令の並び替えなどを行い、高い実用性能を得るために大きな役割を果たしているものはどれか。

- ア アセンブラ
- イ オペレーティングシステム
- ウ コンパイラ
- エ プリプロセッサ

**問15**

CPUのパイプライン処理を有効に機能させるプログラミング方法はどれか。

- ア サブルーチンの数をできるだけ多くする。
- イ 条件によって実行する文が変わるCASE文を多くする。
- ウ 分岐命令を少なくする。
- エ メモリアクセス命令を少なくする。

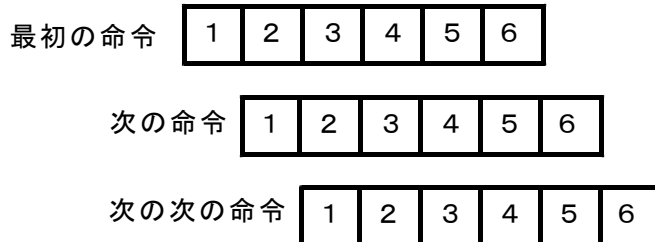
**問16**

命令パイプラインの効率を低下させる可能性のある命令はどれか。

- ア データ読取命令
- イ データ格納命令
- ウ 入出力命令
- エ ジャンプ命令

**問17**

あるコンピュータの1命令は、表のステップ1～6の順序で実行される。図のパイプライン処理を利用して6命令を実行すると、何ナノ秒かかるか。ここで、各ステップの実行時間は10ナノ秒とし、分岐命令などパイプライン処理の実行を乱す要因はないものとする。



表命令の実行ステップ

- ア 50
- イ 60
- ウ 110
- エ 300

| ステップ | 処理内容       |
|------|------------|
| 1    | 命令コード部の取出し |
| 2    | 命令の解読      |
| 3    | アドレス部の取出し  |
| 4    | 実効番地の計算    |
| 5    | データの取出し    |
| 6    | 演算の実行      |

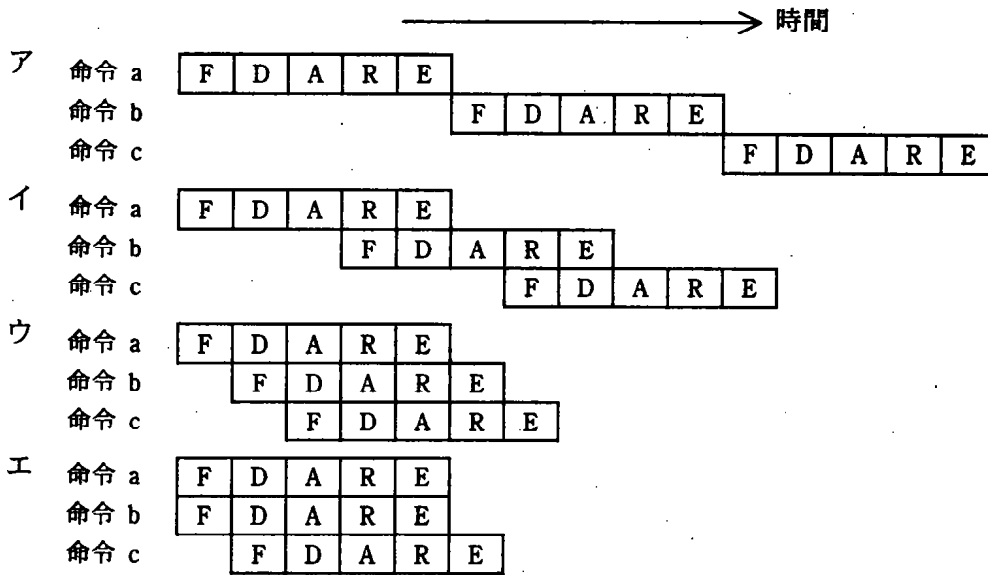
**問18**

各命令がすべて5サイクルで完了するように設計されたコンピュータがある。パイプライン制御のもとで20命令が途中停止(ストール)なしで実行できたとなると、その処理時間はパイプライン制御を行わない場合の何%になるか。

- ア 20
- イ 22
- ウ 24
- エ 25

**問19**

次に示す図のうち、スーパスカラ方式のものはどれか。図中の各記号は、F：命令続出し、D：解読、A：アドレス計算、R：オペランド続出し、E：実行とする。



**問20**

スーパスカラの説明はどれか。

- ア 処理すべきベクトルの長さがベクトルレジスタより長い場合、ベクトルレジスタ長の組に分割して処理を繰り返す方式である。
- イ パイプラインを更に細分化することによって高速化を図る方式である。
- ウ 複数のパイプラインを用いて、同時に複数の命令を実行可能にすることによって高速化を図る方式である。
- エ 命令語を長く取り、一つの命令で複数の機能ユニットを同時に制御することによって高速化を図る方式である。

**問21**

コンピュータのパイプライン制御に関して、正しい記述はどれか。

- ア 一時に1命令ずつ、命令の取出し、解読、オペランドのアドレス計算、オペランドの取出し、命令実行、演算結果格納という六つの動作を、順番に実行させるための制御である。
- イ 主記憶をいくつかのバンク（ブロック）に分割し、各バンクごとにアクセスバスを設定し、メモリアクセスの並列処理を行い、処理時間を高速化する制御である。
- ウ マシンサイクルを基準とした命令実行動作中に、割込を検知し、割込の性質に応じた処理を優先実行させるための制御である。
- エ 命令の実行をいくつかの独立なステージ（命令の取出し、解読、オペランドのアドレス計算、オペランドの取出し、命令実行、演算結果格納）に分けて、複数の命令の各ステージを並列に実行することによって、高速化を図る制御である。

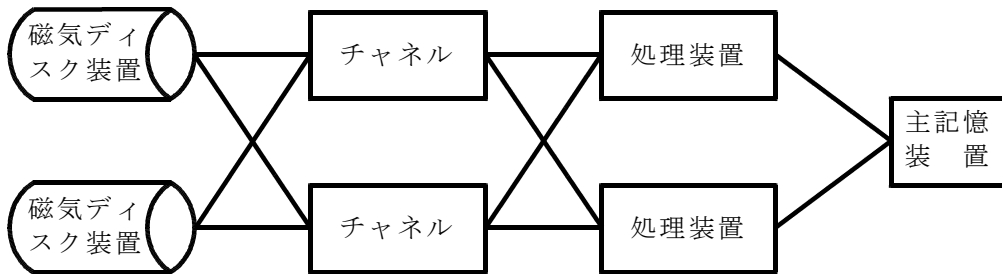
**問22**

パイプライン制御の特徴はどれか。

- ア 複数の命令を同時に実行するために、コンパイラが目的プログラムを生成する段階で、それぞれの命令がどの演算器を使うかをあらかじめ割り振る。
- イ 命令が実行される段階で、どの演算器を使うかを動的に決めながら、複数の命令を同時に実行する。
- ウ 命令の処理をプロセッサ内で複数のステージに細分化し、複数の命令を並列に実行する。
- エ 命令を更に細かなマイクロ命令の組合せで実行する。

**問23**

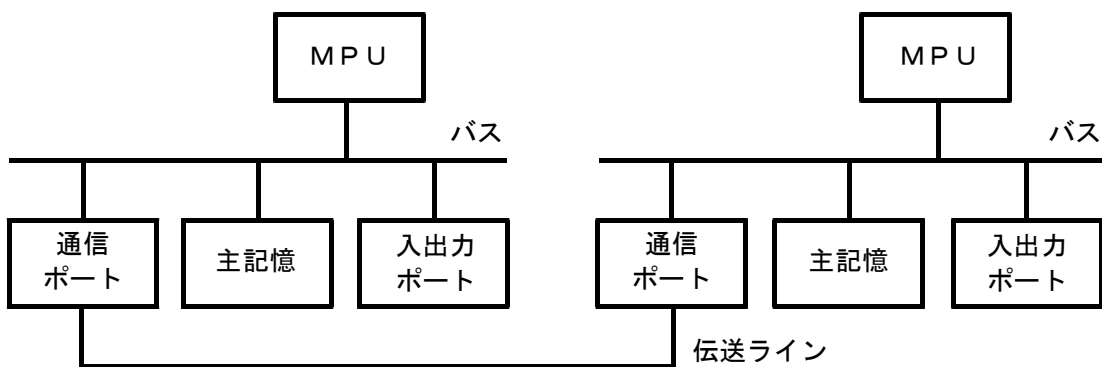
次の図で表現されている計算機システムの構成を何というか。



- ア シンプレックスシステム
- イ 多重プロセッサシステム
- ウ デュアルシステム
- エ デュプレックスシステム

**問24**

図に示すような二つのプロセッサで構成したシステムは、何と呼ばれるか。



- ア アレイプロセッサシステム
- イ スレーブシステム
- ウ 疎結合マルチプロセッサシステム
- エ 密結合マルチプロセッサシステム

**問25**

一連の処理を分散させ、同時にかつ独立に処理を進めて全体の処理時間を短縮するために、2台以上の処理装置を多重化する方式はどれか。

- ア 縮小命令セットコンピュータ（RISC）方式
- イ パイプライン方式
- ウ マイクロプログラミング方式
- エ マルチプロセッサ方式

**問26**

コンピュータシステムの構成に関する記述のうち、密結合型マルチプロセッサシステムについて説明したものはどれか。

- ア 複数のプロセッサが磁気ディスクを共用し、それぞれ独立したOSで制御される。ジョブ単位で負荷を分散することで処理能力を向上させる。
- イ 複数のプロセッサが主記憶を共用し、単一のOSで制御される。システム内のタスクは、基本的にどのプロセッサでも実行できるので、細かい単位で負荷を分散することで処理能力を向上させる。
- ウ 平常時は一方のプロセッサは待機しており、本番用のプロセッサが故障すると、待機中のプロセッサに切り替えて処理を続行する。
- エ 並列に接続された2台のプロセッサが同時に同じ処理を行い、相互に結果を照合する。1台のプロセッサが故障すると、それを切り離して処理を続行する。

**問27**

次の表の組合せのうち、実効メモリアクセス時間が最も短くなるのはどれか。

アクセス時間の単位 ナノ秒

|   | キャッシュメモリ |         | 主記憶    |
|---|----------|---------|--------|
|   | アクセス時間   | ヒット率(%) | アクセス時間 |
| ア | 10       | 60      | 70     |
| イ | 10       | 70      | 70     |
| ウ | 20       | 70      | 50     |
| エ | 20       | 80      | 50     |

**問28**

あるプロセッサが主記憶装置及びキャッシュメモリにアクセスするとき、それぞれのアクセス時間は60ナノ秒及び10ナノ秒である。アクセスするデータがキャッシュメモリに存在する確率が80%の場合、このプロセッサの平均メモリアクセス時間は何ナノ秒か。

- ア 14
- イ 20
- ウ 50
- エ 70

**問29**

処理装置で用いられるキャッシュメモリの使用目的として、適切なものはどれか。

- ア 仮想記憶のアドレス変換を高速に行う。
- イ 仮想記憶のページング処理を高速に行う。
- ウ 主記憶へのアクセス速度とプロセッサの処理速度の差を埋める。
- エ 使用頻度の高いプログラムを常駐させる。

**問30**

キャッシュメモリに関する記述のうち、適切なものはどれか。

- ア 書込み命令を実行したときに、キャッシュメモリと主記憶の両方を書き換える方式と、キャッシュメモリだけを書き換えておき、主記憶の書換えはキャッシュメモリから当該データが追い出されるときに行う方式とがある。
- イ キャッシュメモリにヒットしない場合に割込みが生じ、プログラムによって主記憶からキャッシュメモリにデータが転送される。
- ウ キャッシュメモリは、実記憶と仮想記憶とのメモリ容量の差を埋めるために採用される。
- エ 半導体メモリのアクセス速度の向上が著しいので、キャッシュメモリの必要性は減っている。

**問31**

メモリA～Dを、実効メモリアクセスの速い順に並べたものはどれか。

|   | キャッシュメモリ |             |         | 主記憶         |
|---|----------|-------------|---------|-------------|
|   | 有無       | アクセス時間(ナノ秒) | ヒット率(%) | アクセス時間(ナノ秒) |
| A | なし       |             |         | 15          |
| B | なし       |             |         | 30          |
| C | あり       | 20          | 60      | 70          |
| D | あり       | 10          | 90      | 80          |

- ア A、B、C、D
- イ A、D、B、C
- ウ C、D、A、B
- エ D、C、A、B

**問32**

M P U から、キャッシュメモリを介して主記憶にアクセスする場合の実効アクセス時間が15ナノ秒であるとき、ヒット率は幾らか。ここで、主記憶のアクセス時間を60ナノ秒、キャッシュメモリのアクセス時間を10ナノ秒とする。

- ア 0.1
- イ 0.17
- ウ 0.83
- エ 0.9



**問33**

アクセス時間10ナノ秒のキャッシュメモリとアクセス時間50ナノ秒の主記憶を使用した処理装置の実効メモリアクセス時間を25ナノ秒以下にしたい。最低限必要なキャッシュメモリのヒット率は何%か。

- ア 50
- イ 60
- ウ 70
- エ 80

**問34**

システムA, Bのキャッシュメモリと主記憶のアクセス時間は表のとおりである。

あるプログラムをシステムAで実行したときのキャッシュメモリのヒット率と実効アクセス時間は、システムBで実行したときと同じになった。このときのキャッシュメモリのヒット率は幾らか。

単位 ナノ秒

|          | システムA | システムB |
|----------|-------|-------|
| キャッシュメモリ | 15    | 10    |
| 主記憶      | 50    | 70    |

- ア 0.2
- イ 0.3
- ウ 0.5
- エ 0.8

**問35**

クロック周波数が200MHzで動作しているパソコンにおいて、キャッシュのアクセス時間を10ナノ秒、主記憶のアクセス時間を70ナノ秒、キャッシュのヒット率を90%としたとき、メモリアクセスに必要な平均クロックサイクルは幾つか。

- ア 2
- イ 4
- ウ 8
- エ 16

**問36**

図に示す構成で、表に示すようにキャッシュメモリと主記憶のアクセス時間だけが異なり、ほかの条件は同じ2種類のCPU XとYがある。あるプログラムをCPU XとYでそれぞれ実行したところ、両者の処理時間が等しかった。このとき、キャッシュメモリのヒット率は幾らか。ここで、CPU処理以外の影響はないものとする。

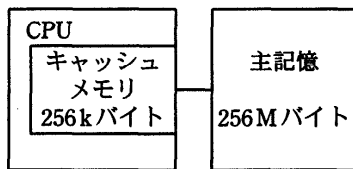


図 構成

表 アクセス時間

単位 ナノ秒

|          | CPU X | CPU Y |
|----------|-------|-------|
| キャッシュメモリ | 40    | 20    |
| 主記憶      | 400   | 580   |

- ア 0.75
- イ 0.90
- ウ 0.95
- エ 0.96

**問37**

容量が8Mバイト、アクセス時間が100ナノ秒の主記憶と、容量が8kバイト、アクセス時間が20ナノ秒のキャッシュメモリをもつプロセッサがある。このプロセッサの平均アクセス時間を20%短縮するには、キャッシュメモリのアクセス時間を何ナノ秒にする必要があるか。ここで、キャッシュメモリのヒット率は、0.8とする。

- ア 4
- イ 9
- ウ 11
- エ 16

**問38**

表のように4ページ分のメモリキャッシュC0~C3があり、それぞれにページの内容M0~M3が格納されている。ここで、新たに別のページの内容をキャッシュにロードする必要が生じたとき、キャッシュC2の内容M2を置換の対象とするアルゴリズムはどれか。

|             |      |      |      |      |
|-------------|------|------|------|------|
| キャッシュ       | C0   | C1   | C2   | C3   |
| 内容          | M0   | M1   | M2   | M3   |
| ロード時刻(時:分)  | 0:02 | 0:03 | 0:04 | 0:05 |
| 最終参照時刻(時:分) | 0:08 | 0:06 | 0:05 | 0:10 |
| 参照回数        | 10   | 1    | 3    | 5    |

- ア FIFO
- イ LFU
- ウ LIFO
- エ LRU

**問39**

キャッシュメモリと主記憶との間でブロックを置き換える方式にLRU方式がある。この方式で置換の対象になるブロックはどれか。

- ア 一定時間参照されていないブロック
- イ 最後に参照されてから最も長い時間が経過したブロック
- ウ 参照頻度の最も低いブロック
- エ 読み込んでから最も長い時間が経過したブロック

**問40**

命令キャッシュを効果的に使用できるプログラムの作成方法はどれか。

- ア アクセスする作業領域部分をまとめる。
- イ 作業領域全体を平均的にアクセスするように作成する。
- ウ 頻繁に実行される処理部分をまとめる。
- エ プログラム全体を平均的に実行するように作成する。

#### 問41

キャッシュメモリに関する記述のうち、適切なものはどれか。

- ア キャッシュメモリの転送ブロックの大きさを仮想記憶のページの大きさと同じにすると、プログラムの実行効率が向上する。
- イ キャッシュメモリは高速アクセスが可能なので、汎用レジスタと同じ働きをする。
- ウ 主記憶のアクセス時間とプロセッサの命令実行時間の差が大きいマシンでは、多段のキャッシュ構成にすることで実効アクセス時間が短縮できる。
- エ ミスヒットが発生するとキャッシュ全体は一括消去され、主記憶から最新のデータの転送処理が実行される。

#### 問42

プロセッサにデータを読み込む時にキャッシュメモリにヒットしなかった場合、キャッシュメモリ制御装置が行う動作はどれか。

- ア キャッシュメモリから所要のデータをブロック転送し、磁気ディスクに書き込む。
- イ 磁気ディスクから所要のデータをブロック転送し、キャッシュメモリに読み込む。
- ウ 主記憶から所要のデータをブロック転送し、キャッシュメモリに読み込む。
- エ ディスクキャッシュから所要のデータをブロック転送し、主記憶に読み込む。

#### 問43

CPUと主記憶装置の間に置かれるキャッシュメモリにおいて、主記憶装置上のあるブロックを、キャッシュメモリ上の数個の特定ブロックと対応づけるマッピング方式はどれか。

- ア セットアソシアティブ方式
- イ ダイレクトマッピング方式
- ウ フルアソシアティブ方式
- エ ライトスルー方式

#### 問44

メモリインタリーブの説明として、適切なものはどれか。

- ア CPUと主記憶間のアクセスを高速化するために、キャッシュメモリと主記憶の両方に同時にデータを書き込む。
- イ CPUと主記憶のアクセス速度の違いによるボトルネックを解消するために、高速かつ小容量のメモリを配置する。
- ウ 主記憶へのアクセスを高速化するために、主記憶内部を複数のバンクに分割し、各バンクを並列にアクセスする。
- エ パイプライン処理を乱す要因をなくすために、キャッシュメモリを命令用とデータ用の二つに分離する。

**問45**

多重処理の考え方を導入して複数のバンクを使用し、処理装置の主記憶へのアクセス待ち時間を減少させようとする方式はどれか。

- ア キャッシュメモリ
- イ 蓄積交換
- ウ パイプライン
- エ メモリインタリーブ

**問46**

コンピュータの高速化技術の一つであるメモリインタリーブに関する記述として、適切なものはどれか。

- ア 主記憶と入出力装置、又は主記憶同士のデータの受渡しをCPU経由でなく直接やり取りする方式
- イ 主記憶にデータを送り出す際に、データをキャッシュに書き込み、キャッシュがあふれたときに主記憶へ書き込む方式
- ウ 主記憶のデータの一部をキャッシュにコピーすることによって、レジスタと主記憶とのアクセス速度の差を縮める方式
- エ 主記憶を複数の独立して動作するグループに分けて、各グループに並列にアクセスする方式

**問47**

主記憶装置の高速化の技法として、主記憶を幾つかのアクセス単位に分割し、各アクセス単位をできるだけ並行動作させることによって、実効アクセス時間を短縮する方法を何というか。

- ア 仮想記憶
- イ キャッシュメモリ方式
- ウ ダイレクトメモリアクセス
- エ メモリインタリーブ

**問48**

メモリインタリーブの説明はどれか。

- ア CPUと磁気ディスク装置との間に半導体メモリによるデータバッファを設けて、磁気ディスクアクセスの高速化を図る。
- イ 主記憶のデータの一部をキャッシュメモリにコピーすることによって、CPUと主記憶とのアクセス速度のギャップを埋め、メモリアクセスの高速化を図る。
- ウ 主記憶へのアクセスを高速化するため、アクセス要求、データの読み書き及び後処理が終わってから、次のメモリアクセスの処理に移る。
- エ 主記憶を複数の独立したグループに分けて、各グループに交互にアクセスすることによって、主記憶へのアクセスの高速化を図る。

**問49**

メモリアンタリーブに関する正しい記述はどれか。

- ア 処理速度の異なるCPUと主記憶装置間に高速の記憶装置を設け、待ち時間を縮めること。
- イ 一つの主記憶装置をいくつかのバンクに分割し、バンクごとに一括してアドレス選択を行うこと。
- ウ 複数のバンクと呼ぶ装置にアドレスを振り分け、独立してアクセスできるようにすること。
- エ 命令の実行過程を複数のステージに分けて、それぞれをずらしながら並行して処理すること。

**問50**

メモリアンタリーブに関する記述のうち、適切なものはどれか。

- ア 新しい情報をキャッシュメモリに取り出すとき、キャッシュ上では不要になった情報を主記憶に書き込む。
- イ 主記憶と磁気ディスク間のアクセス時間のギャップを補う。
- ウ 主記憶の更新と同時にキャッシュメモリの更新を行う。
- エ 主記憶を幾つかの並列にアクセス可能な区画に分割し、連続したメモリへのアクセスを効率良く行う。

**問51**

キャッシュメモリをもつメモリシステムにおいて、平均メモリアクセス時間が増加する原因となるものはどれか。

- ア キャッシュメモリへのアクセス時間の減少
- イ ヒット率の低下
- ウ ミスペナルティの減少
- エ ミス率の低下

**問52**

RISCプロセッサの5段パイプラインの命令実行制御の順序はどれか。ここで、このパイプラインのステージは次の五つとする。

- ① 書込み
- ② 実行とアドレス生成
- ③ 命令デコードとレジスタファイル読出し
- ④ 命令フェッチ
- ⑤ メモリアクセス

- ア ③, ④, ②, ⑤, ①
- ウ ④, ③, ②, ⑤, ①

- イ ③, ⑤, ②, ④, ①
- エ ④, ⑤, ③, ②, ①

### 問53

キャッシュメモリの効果として、適切なものはどれか。

- ア 主記憶からキャッシュメモリへの命令の読出しと、主記憶からキャッシュメモリへのデータの読出しを同時に行うことによって、データ転送を高速に行う。
- イ 主記憶から読み出したデータをキャッシュメモリに保持し、CPUが後で同じデータを読み出すときのデータ転送を高速に行う。
- ウ 主記憶から読み出したデータをキャッシュメモリに保持し、命令を並列に処理することによって演算を高速に行う。
- エ 主記憶から読み出した命令をキャッシュメモリに保持し、キャッシュメモリ上でデコードして実行することによって演算を高速に行う。

### 問54

CPUにおける投機実行の説明はどれか。

- ア 依存関係のない複数の命令を、プログラム中での出現順序に関係なく実行する。
- イ パイプラインの空き時間を利用して二つのスレッドを実行し、あたかも二つのプロセッサであるかのように見せる。
- ウ 二つ以上のCPUコアによって複数のスレッドを同時実行する。
- エ 分岐命令の分岐先が決まる前に、予測した分岐先の命令の実行を開始する。